



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Offenlegungsschrift**
⑩ **DE 198 57 059 A 1**

⑤1 Int. Cl.⁶:
H 01 L 27/12

⑳ Aktenzeichen: 198 57 059.7
㉔ Anmeldetag: 10. 12. 98
㉕ Offenlegungstag: 24. 6. 99

DE 198 57 059 A 1

③0 Unionspriorität:
68702/1997 15. 12. 97 KR

㉑ Anmelder:
LG Semicon Co., Ltd., Cheongju, Chungcheongbuk,
KR

㉒ Vertreter:
TER MEER STEINMEISTER & Partner GbR
Patentanwälte, 81679 München

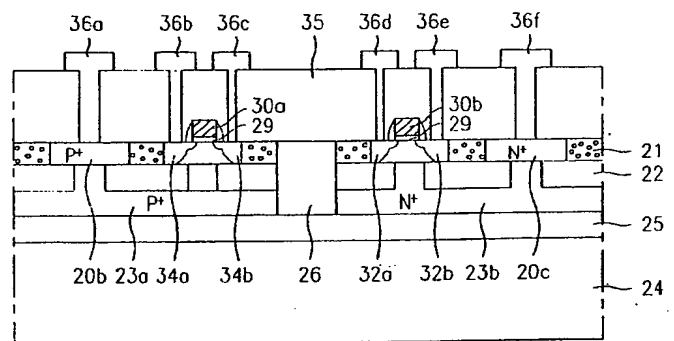
㉓ Erfinder:
Son, Jeong Hwan, Taejeon, KR

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 SOI-Bauteil und Verfahren zu seiner Herstellung

- ⑤7 Es werden ein SOI-Bauteil und ein Verfahren zum Herstellen desselben angegeben, bei denen der Effekt eines potentialungebundenen Körpers verringert ist, wodurch die Funktionseigenschaften verbessert sind. Das SOI-Bauteil ist mit Folgendem versehen:
- einem Halbleitersubstrat (24);
 - einem ersten vergrabenen Isolierfilm (22) auf dem Halbleitersubstrat;
 - einer stark dotierten p- oder n-Polysiliziumschicht (23a oder 23b) auf dem ersten vergrabenen Isolierfilm;
 - einem aktiven Bereich und einer p- oder n-Halbleiterschicht (20b oder 20c), die auf vorbestimmten Gebieten der p- oder n-Polysiliziumschicht in isolierter Weise vorhanden ist;
 - zweiten vergrabenen Isolierfilmen (25), die in der p- oder n-Polysiliziumschicht so vorhanden sind, daß sie gegeneinander isoliert sind, um die p- oder n-Halbleiterschicht über die p- oder n-Polysiliziumschicht mit dem aktiven Bereich zu verbinden;
 - einer Gateelektrode (30a oder 30b) auf dem aktiven Bereich;
 - einem Sourcebereich (34a oder 32a) und einem Drainbereich (34b oder 32b), der im aktiven Bereich zu beiden Seiten der Gateelektrode ausgebildet ist; und
 - Kontaktkissen (36a oder 36f) auf der p-Polysiliziumschicht.



DE 198 57 059 A 1

AO

schicht 5, die auf einem vorbestimmten Bereich des vergrabenen Oxidfilms 2 beabstandet von der p-Halbleiterschicht 4 ausgebildet ist. Ein isolierender Oxidfilm 3 ist so ausgebildet, daß er eine größere Höhe als die p- und die n-Halbleiterschicht 4 und 5 aufweist, um diese beiden gegeneinander zu isolieren.

Auf einem vorbestimmten Bereich der p-Halbleiterschicht 4 sind ein Gateoxidfilm 6 und eine erste Gateelektrode 7a hergestellt. Source/Drain-Bereiche 8a/8b mit LDD-Struktur sind zu beiden Seiten der ersten Gateelektrode 7a in der p-Halbleiterschicht 4 ausgebildet. Ebenfalls sind zu beiden Seiten der ersten Gateelektrode 7a Seitenwand-Abstandshalter hergestellt.

Auf einem vorbestimmten Bereich der n-Halbleiterschicht 5 sind ein Gateoxidfilm 6 und eine zweite Gateelektrode 7b hergestellt. Source/Drain-Bereiche 9a/9b mit LDD-Struktur sind in der n-Halbleiterschicht 5 zu beiden Seiten der zweiten Gateelektrode 7b ausgebildet. Ebenfalls zu beiden Seiten der zweiten Gateelektrode 7b sind Seitenwand-Abstandshalter ausgebildet.

Während in der p-Halbleiterschicht 4 ein NMOS-Transistor ausgebildet ist, ist in der n-Halbleiterschicht 5 ein PMOS-Transistor ausgebildet.

Ein Zwischenschicht-Isolierfilm 10 ist so ausgebildet, daß er auf den Source/Drain-Bereichen 8a/8b und 9a/9b sowie der ersten und zweiten Gateelektrode 7a und 7b Kontaktlöcher aufweist. In den Kontaktlöchern und auf dem Zwischenschicht-Isolierfilm benachbart zu denselben sind Leitungsschichten 11a, 11b, 11c, 11d, 11e und 11f ausgebildet.

Die p- und die n-Halbleiterschicht 4 und 5, die als Kanäle des NMOS- bzw. des PMOS-Transistors dienen, sind bei diesem bekannten SOI-Bauteil an kein Potential gebunden.

Bei einem derartigen bekannten SOI-Bauteil bestehen die folgenden Probleme. Die als Kanäle eines NMOS- und eines PMOS-Transistors dienende p- bzw. n-Halbleiterschicht sind elektrisch nicht angeschlossen und demgemäß potentialungebunden, so daß die Durchbruchsspannung verringert ist und der Effekt eines potentialungebundenen Körpers entsteht, so daß Fehler in der Strom-Spannung-Kurve entstehen. Demgemäß sind die Betriebseigenschaften beeinträchtigt.

Der Erfindung liegt die Aufgabe zugrunde, ein SOI-Bauteil und ein Verfahren zum Herstellen desselben zu schaffen, durch die sich der Effekt eines potentialungebundenen Körpers hinsichtlich der Kanalbereiche von Transistoren verringern läßt.

Diese Aufgabe ist hinsichtlich des Bauteils durch die Bauteile gemäß den beigefügten unabhängigen Ansprüchen 1 und 6 sowie hinsichtlich des Verfahrens durch die Verfahren gemäß den beigefügten unabhängigen Ansprüchen 11 und 16 gelöst.

Zusätzliche Vorteile, Aufgaben und andere Merkmale der Erfindung werden teilweise in der folgenden Beschreibung dargelegt, und teilweise werden sie dem Fachmann bei der Untersuchung des Folgenden oder beim Ausüben der Erfin-

zeigt;

Fig. 3A bis 3K sind Schnittansichten, die Prozessschritte eines Verfahrens zum Herstellen des SOI-Bauteils gemäß Fig. 2A veranschaulichen, wobei diese Schnittansichten derjenigen von Fig. 2B entsprechen;

Fig. 4A ist eine Draufsicht eines SOI-Bauteils gemäß einem zweiten Ausführungsbeispiel der Erfindung;

Fig. 4B ist eine Schnittansicht, die die Struktur des SOI-Bauteils gemäß Fig. 4A entlang der Linie II-II in Fig. 4A zeigt;

Fig. 5A ist eine Draufsicht eines SOI-Bauteils gemäß einem dritten Ausführungsbeispiel der Erfindung;

Fig. 5B ist eine Schnittansicht, die die Struktur des SOI-Bauteils gemäß Fig. 5A entlang der Linie III-III in Fig. 5A zeigt;

Fig. 6A ist eine Draufsicht eines SOI-Bauteils gemäß einem vierten Ausführungsbeispiel der Erfindung; und

Fig. 6B ist eine Schnittansicht, die die Struktur des SOI-Bauteils gemäß Fig. 6A entlang der Linie IV-IV in Fig. 6A zeigt.

Wie es in den Fig. 2A und 2B zum ersten Ausführungsbeispiel der Erfindung dargestellt ist, ist ein zweiter vergrabener Oxidfilm 25 auf einem zweiten Halbleitersubstrat 24 hergestellt. Auf diesem zweiten vergrabenen Oxidfilm 25 sind eine p- und eine n-Polysiliziumschicht 23a und 23b, die beide stark dotiert sind, ausgebildet, und sie sind durch einen auf dem vergrabenen Oxidfilm 25 hergestellten isolierenden Oxidfilm 26 gegeneinander isoliert. In der p- und der n-Polysiliziumschicht 23a und 23b sind erste vergrabene Oxidfilme 22a beabstandet voneinander ausgebildet.

Auf dem ersten vergrabenen Oxidfilm 22a sind außerdem, beabstandet von der p-Polysiliziumschicht 23a, eine p-Halbleiterschicht 20b und ein erster aktiver Bereich ausgebildet. Zwischen der p-Halbleiterschicht 20b und dem ersten aktiven Bereich ist ein erster Oxidfilm 21 hergestellt.

Auf dem ersten vergrabenen Oxidfilm 22a sind eine n-Halbleiterschicht 20b und ein zweiter aktiver Bereich ausgebildet, die von der n-Polysiliziumschicht 23b beabstandet sind. Zwischen der n-Halbleiterschicht 20b und dem zweiten aktiven Bereich ist ein erster Oxidfilm 21 hergestellt.

Auf dem ersten aktiven Bereich auf der p-Polysiliziumschicht 23a sind ein Gateoxidfilm 29 und eine erste Gateelektrode 30a aufeinanderfolgend hergestellt. Im ersten aktiven Bereich sind zu beiden Seiten der ersten Gateelektrode 30a Source/Drain-Bereiche 34a/34b ausgebildet.

Auf dem zweiten aktiven Bereich auf der n-Polysiliziumschicht 22b sind ein Gateoxidfilm 29 und eine zweite Gateelektrode 23b aufeinanderfolgend hergestellt. Source/Drain-Bereiche 32a/32b sind im zweiten aktiven Bereich zu beiden Seiten der zweiten Gateelektrode 39b ausgebildet.

Auf der p- und n-Halbleiterschicht 20b und 20c sowie den Source/Drain-Bereichen 32a/32b und 34a/34b ist ein Zwischenschicht-Isolierfilm 35 mit Kontaktlöchern hergestellt. In den Kontaktlöchern und auf der an diese angrenzenden Zwischenschicht-Isolierschicht sind Kontaktkissen 36a und

0A

36f sowie Leitungsschichten 36b, 36c, 36d und 36e hergestellt.

Gemäß dem ersten Ausführungsbeispiel der Erfindung sind der erste und der zweite aktive Bereich über die p- bzw. n-Polysiliziumschicht 23a bzw. 23b mit der p- bzw. n-Halbleiterschicht 20b bzw. 20c verbunden.

Gemäß dem zweiten Ausführungsbeispiel der Erfindung ist auf einem zweiten Halbleitersubstrat 24 ein zweiter vergrabener Oxidfilm 25 hergestellt, wie es in den Fig. 4A und 4B dargestellt ist. Auf dem zweiten vergrabenen Oxidfilm 25 sind eine p- und eine n-Polysiliziumschicht 23a und 23b mit starker Dotierung durch einen isolierenden Oxidfilm 26 voneinander beabstandet hergestellt. In der p- und der n-Polysiliziumschicht 23a und 23b sind erste vergrabene Oxidfilme 22 ausgebildet.

Diese ersten vergrabenen Oxidfilme 22 befinden sich unter einem Kontaktkissen 35a auf der p-Halbleiterschicht 20a auf der p-Polysiliziumschicht 23a sowie unter einem Teil des Source/Drain-Bereichs und eines Randteils der ersten Gateelektrode 30a.

Die ersten vergrabenen Oxidfilme 22 befinden sich auch unter einem Kontaktkissen 37d auf der n-Halbleiterschicht 20c auf der Polysiliziumschicht 23b und unter einem Teil des Source/Drain-Bereichs und einem Randteil der zweiten Gateelektrode 30b.

Auf den ersten vergrabenen Oxidfilmen 22 sind eine p-Halbleiterschicht 20b und ein erster aktiver Bereich beabstandet voneinander hergestellt. Zwischen der p-Halbleiterschicht 20b und dem ersten aktiven Bereich ist ein erster Oxidfilm 21 hergestellt.

Auf dem ersten vergrabenen Oxidfilm 22 sind auch eine n-Halbleiterschicht 20c und ein zweiter aktiver Bereich beabstandet voneinander hergestellt. Zwischen der n-Halbleiterschicht 20b und dem zweiten aktiven Bereich ist ein weiterer Oxidfilm 21 hergestellt.

Eine erste und eine zweite Gateelektrode 30a und 30b sind so hergestellt, daß sie den ersten bzw. zweiten aktiven Bereich überschneiden. Im ersten und zweiten aktiven Bereich sind zu beiden Seiten der ersten und zweiten Gateelektrode 30a und 30b jeweils Source/Drain-Bereiche ausgebildet.

Auf der p-Halbleiterschicht 20b, den Source/Drain-Bereichen und der ersten und zweiten Gateelektrode 30a und 30b ist ein Zwischenschicht-Isolierfilm 35 mit Kontaktlöchern hergestellt. In den Kontaktlöchern und auf dem Zwischenschicht-Isolierfilm 35 benachbart zu den Kontaktlöchern sind Kontaktkissen 37a und 37d sowie Leitungsschichten 37b und 37c hergestellt.

Das in den Fig. 5A und 5B dargestellte SOI-Bauteil des dritten Ausführungsbeispiels weist beinahe dieselbe Struktur wie das zweite Ausführungsbeispiel auf, mit der Ausnahme eines geätzten Teils des ersten vergrabenen Oxidfilms 22.

Beim dritten Ausführungsbeispiel ist der erste vergrabene Oxidfilm 22 unter der p-Halbleiterschicht 20b unter einem Kontaktkissen 38a unter dem mittleren Teil eines Source- oder Drainbereichs sowie unter dem mittleren Teil der ersten, an den Source- oder Drainbereich angrenzenden Gateelektrode 30a geätzt, um dadurch erste vergrabene Oxidfilme 22 zu bilden.

Der erste vergrabene Oxidfilm 22 ist außerdem unter der n-Halbleiterschicht 20c unter einem Kontaktkissen 38d unter dem mittleren Teil eines Source- oder Drainbereichs und unter dem mittleren Teil einer zweiten, an den Source- oder Drainbereich angrenzenden Gateelektrode 30b geätzt.

Das in den Fig. 6A und 6B dargestellte SOI-Bauteil gemäß dem vierten Ausführungsbeispiel weist beinahe dieselbe Struktur wie das zweite Ausführungsbeispiel auf, mit

der Ausnahme eines geätzten Teils des ersten vergrabenen Oxidfilms 22 sowie der Formen der ersten und zweiten Gateelektrode 30a und 30b.

Beim vierten Ausführungsbeispiel ist der erste vergrabene Oxidfilm 22 unter der p-Halbleiterschicht 20b unter einem Kontaktkissen 39a und unter einem Teil des ersten aktiven Bereichs mit Ausnahme der ersten Gateelektrode 30a und der Source/Drain-Bereiche geätzt.

Der erste vergrabene Oxidfilm 22 ist außerdem unter der n-Halbleiterschicht 20c unter einem Kontaktkissen 39d und unter einem Teil des zweiten aktiven Bereichs mit Ausnahme der zweiten Gateelektrode 30b und der Source/Drain-Bereiche geätzt.

Anhand der Fig. 3A bis 3K wird nun ein Verfahren zum Herstellen des SOI-Bauteils gemäß den Fig. 2A und 2B erläutert.

Gemäß Fig. 3A werden in ein erstes Halbleitersubstrat 20 mehrere Gräben mit vorbestimmter Tiefe eingetätzt. Anschließend wird auf dem ersten Halbleitersubstrat 20 einschließlich der Gräben ein Oxidfilm abgeschieden. Als nächstes wird ein CMP (Chemical Mechanical Polishing = chemisch-mechanisches Polieren)-Prozeß ausgeführt, damit ein erster Oxidfilm 21 ausgebildet wird, der die Gräben auffüllt. Dieser Oxidfilm 21 ist 50–150 nm dick.

Gemäß Fig. 3B wird ein 50–300 nm dicker erster vergrabener Oxidfilm 22 durch einen CVD-Prozeß auf dem ersten Halbleitersubstrat 20 hergestellt.

Gemäß Fig. 3C wird auf den ersten vergrabenen Oxidfilm 22 ein Photoresistfilm aufgetragen, und dieser wird durch ein Belichtungs- und Entwicklungsprozeß so strukturiert, daß vorbestimmte Gebiete des ersten vergrabenen Oxidfilms 22 zwischen den Gräben, jedoch keine Gebiete desselben, zur Positionierung von CMOS-Transistoren zwischen den Gräben freigelegt werden. Mit dem strukturierten Photoresistfilm als Maske wird der erste vergrabene Oxidfilm 22 entfernt, um das Halbleitersubstrat 20 freizulegen. Danach wird eine 200–600 nm dicke Schicht aus undotiertem Polysilizium auf dem ersten vergrabenen Oxidfilm 22 und dem ersten Halbleitersubstrat 20 abgeschieden und dann einem Rückätz- oder einem CMP-Prozeß unterzogen, um so eine 100–200 nm dicke undotierte Polysiliziumschicht 23 herzustellen.

Andererseits wird auf einem zweiten Halbleitersubstrat 24 durch einen CVD-Prozeß oder durch einen thermischen Oxidationsprozeß ein zweiter 100–400 nm dicker zweiter vergrabener Oxidfilm 25 abgeschieden.

Gemäß Fig. 3D werden die undotierte Polysiliziumschicht 23 auf dem ersten Halbleitersubstrat 20 und der zweite vergrabene Oxidfilm 25 auf dem zweiten Halbleitersubstrat 24 auf eine Temperatur von 850–1050°C erwärmt, so daß sie miteinander verbunden werden.

Gemäß Fig. 3E wird das erste Halbleitersubstrat 20 zur Einebnung mit einem CPM-Prozeß poliert, bis der erste Oxidfilm 21 freigelegt ist. Dabei wird der Unterschied zwischen den Ätzraten des ersten Substrats 20 und des ersten Oxidfilms 21 dazu verwendet, das erste Substrat 20 zu polieren, und dieser erste Oxidfilm 21 dient als Ätzstopper. Danach werden zum Isolieren eines CMOS-Transistors die Halbleiterschichten 20a zwischen den ersten Oxidfilmen 21, der erste vergrabene Oxidfilm 22 und die undotierte Polysiliziumschicht 23 geätzt, um einen Grabenisolationsbereich auszubilden. Auf dem ersten Oxidfilm 21 und der Halbleiterschicht 20a sowie den Grabenisolationsbereichen wird ein Oxidfilm abgeschieden, der durch einen CMP-Prozeß eingeebnet wird, um einen isolierenden Oxidfilm 26 auszubilden.

Gemäß Fig. 3F wird ein Photoresistfilm 27 auf den ersten Oxidfilm 21, die Halbleiterschicht 20a und den isolierenden

Oxidfilm 26 aufgetragen und durch einen Belichtungs- und Entwicklungsprozeß strukturiert, um auf einer gesamten Seite des isolierenden Oxidfilms 26 entfernt zu werden. Während der strukturierte Photoresistfilm 27 als Maske dient, werden Borionen mit einer Konzentration von $5 \times 10^{14} - 1 \times 10^{15} \text{ cm}^{-2}$ in die undotierte Polysiliziumschicht 23 injiziert, die so zu einer stark dotierten p-Polysiliziumschicht 23a wird.

Gemäß Fig. 3G wird ein weiterer Photoresistfilm 28 auf den ersten Oxidfilm 21, die Halbleiterschicht 20a und den isolierenden Oxidfilm 26 aufgetragen und durch einen Belichtungs- und Entwicklungsprozeß strukturiert, um auf der anderen Seite des isolierenden Oxidfilms 26 entfernt zu werden. Während der strukturierte Photoresistfilm 28 als Maske dient, werden Phosphorionen mit einer Konzentration von $5 \times 10^{14} - 1 \times 10^{15} \text{ cm}^{-2}$ in die undotierte Polysiliziumschicht 23a injiziert, die so zu einer stark dotierten n-Polysiliziumschicht 23b wird. Dabei kann zum Einstellen der Schwellenspannung ein Ionenimplantationsprozeß ausgeführt werden, nachdem die p- und die n-Polysiliziumschicht 23a und 23b abgeschieden wurden.

Gemäß Fig. 3H werden ein Oxidfilm und eine Siliziumschicht auf der gesamten Oberfläche abgeschieden und anisotrop so geätzt, daß ein Gateoxidfilm 22 und eine erste Gateelektrode 30a für einen NMOS-Transistor sowie ein Gateoxidfilm 22 und eine zweite Gateelektrode 30b für einen PMOS-Transistor auf der Halbleiterschicht 20a ausgebildet werden, unter denen der erste vergrabene Oxidfilm 22 ausgeätzt ist. Dabei werden sowohl die erste als auch die zweite Gateelektrode 30a und 30b z. B. aus n-Polysilizium hergestellt. Es ist auch möglich, daß die erste und die zweite Gateelektrode 30a und 30b für den NMOS- bzw. den PMOS-Transistor aus n- bzw. p-Polysilizium hergestellt werden. Um den Widerstand der ersten und zweiten Gateelektrode 30a und 30b zu verringern, kann ferner eine Metallschicht oder eine Metallsilicidschicht auf diesen hergestellt werden.

Gemäß Fig. 3I wird ein Photoresistfilm 31 auf die gesamte Oberfläche aufgetragen und durch einen Belichtungs- und Entwicklungsprozeß strukturiert, um die Halbleiterschicht 20a dort, wo die erste Gateelektrode 30a in einem Gebiet für den NMOS-Transistor nicht ausgebildet ist, zu beiden Seiten der zweiten Gateelektrode 30b in einem Gebiet für den PMOS-Transistor freizulegen. Während der strukturierte Photoresistfilm 31 als Maske dient, werden Borionen für p-Dotierung mit einer Konzentration von $1 \times 10^{15} - 5 \times 10^{15} \text{ cm}^{-2}$ injiziert, um in der p-Halbleiterschicht 20b Source/Drain-Bereiche 32a/32b auszubilden. Diese Source/Drain-Bereiche 32a/32b verfügen über LDD (lightly doped drain = leicht dotierter Drain)-Struktur.

Gemäß Fig. 3J wird ein Photoresistfilm 33 aufgetragen und durch einen Belichtungs- und Entwicklungsprozeß strukturiert, um die Halbleiterschicht 20a dort, wo die zweite Gateelektrode 30b nicht im Gebiet für den PMOS-Transistor ausgebildet ist, sowie die erste Gateelektrode 30a und die Halbleiterschicht 20a zu beiden Seiten dieser ersten Gateelektrode 30a freizulegen. Während der strukturierte Photoresistfilm 33 als Maske dient, werden As-Ionen für n-Dotierung mit einer Konzentration von $1 \times 10^{15} - 5 \times 10^{15} \text{ cm}^{-2}$ so injiziert, daß eine n-Halbleiterschicht 20c und Source/Drain-Bereiche 34a/34b mit LDD-Struktur ausgebildet werden.

Gemäß Fig. 3K wird ein Zwischenschichtisolierfilm 35 abgeschieden und so entfernt, daß vorbestimmte Gebiete der p- und der n-Halbleiterschicht 20b und 20c sowie vorbestimmte Gebiete der p- und n-Source/Drain-Bereiche 32a/32b sowie 34a/34b freigelegt werden, um dadurch Kontaktlöcher auszubilden. Als nächstes wird eine Metall-

schicht oder eine Halbleiterschicht so hergestellt, daß sie die Kontaktlöcher auffüllt, und sie wird anisotrop geätzt, um auf der p- und der n-Halbleiterschicht 20b und 20c Kontaktkissen 36a bzw. 36f sowie Leitungsschichten 36b, 36c, 36d, 36e auf den n- und p-Source/Drain-Bereichen 32a/32b sowie 34a/34b auszubilden.

Da der Kanalbereich des NMOS-Transistors über die stark dotierte p-Polysiliziumschicht 23a und die p-Halbleiterschicht 20b mit dem Kontaktkissen 36a verbunden ist, sammeln sich im Kanal erzeugte Löcher nicht in diesem an, sondern sie werden zu einem Außenanschluß abgeleitet. Da der Kanalbereich des PMOS-Transistors über die stark dotierte n-Polysiliziumschicht 23b und die n-Halbleiterschicht 20c mit dem Kontaktkissen 36f verbunden ist, werden im Kanal erzeugte Löcher nicht in diesem angesammelt, sondern zu einem Außenanschluß abgeleitet. Daher wird kein Effekt eines potentialungebundenen Körpers erzeugt.

Das SOI-Bauteil und das Verfahren zu seiner Herstellung gemäß der Erfindung zeigen den Vorteil, daß Kanäle des NMOS- und des PMOS-Transistors so konzipiert sind, daß sie elektrisch mit Kontaktkissen verbunden sind, wodurch der Effekt eines potentialungebundenen Körpers verringert ist, was die Funktionseigenschaften des Bauteils verbessert.

Patentansprüche

1. SOI-Bauteil mit:

- einem Halbleitersubstrat (24);
- einem ersten vergrabenen Isolierfilm (22) auf dem Halbleitersubstrat;
- einer stark dotierten p- oder n-Polysiliziumschicht (23a oder 23b) auf dem ersten vergrabenen Isolierfilm;
- einem aktiven Bereich und einer p- oder n-Halbleiterschicht (20b oder 20c), die auf vorbestimmten Gebieten der p- oder n-Polysiliziumschicht in isolierter Weise vorhanden ist;
- zweiten vergrabenen Isolierfilmen (25), die in der p- oder n-Polysiliziumschicht so vorhanden sind, daß sie gegeneinander isoliert sind, um die p- oder n-Halbleiterschicht über die p- oder n-Polysiliziumschicht mit dem aktiven Bereich zu verbinden;
- einer Gateelektrode (30a oder 30b) auf dem aktiven Bereich;
- einem Sourcebereich (34a oder 32a) und einem Drainbereich (34b oder 32b), der im aktiven Bereich zu beiden Seiten der Gateelektrode ausgebildet ist; und
- Kontaktkissen (36a oder 36f, 37a oder 37f, 38a oder 38f, 39a oder 39f) auf der p-Polysiliziumschicht.

2. SOI-Bauteil nach Anspruch 1, dadurch gekennzeichnet, daß der zweite vergrabene Isolierfilm (25) durch selektives Entfernen unter der p- oder n-Polysiliziumschicht (23b oder 23c) und dem aktiven Bereich unter der Gateelektrode (30a oder 30b) hergestellt wurde.

3. SOI-Bauteil nach Anspruch 1, dadurch gekennzeichnet, daß der zweite vergrabene Isolierfilm (25) durch Ätzen unter der p- oder n-Polysiliziumschicht (23a oder 23b) und dem Sourcebereich (34a oder 32a) auf einer Seite des aktiven Bereichs sowie einem Teil der Gateelektrode (30a oder 30b) hergestellt wurde.

4. SOI-Bauteil nach Anspruch 1, dadurch gekennzeichnet, daß der zweite vergrabene Isolierfilm (25) durch Entfernen unter der p- oder n-Polysiliziumschicht (23a oder 23b) und dem mittleren Teil des im

aktiven Bereich ausgebildeten Sourcebereichs (34a oder 32a) hergestellt wurde.

5. SOI-Bauteil nach Anspruch 1, dadurch gekennzeichnet, daß der zweite vergrabene Isolierfilm (25) durch Ätzen unter der p- oder n-Polysiliziumschicht (23a oder 23b) und einem Teil des aktiven Bereichs hergestellt wurde.

6. SOI-Bauteil mit:

- einem Halbleitersubstrat (24);
- einem ersten vergrabenen Isolierfilm (22) auf dem Halbleitersubstrat;
- einer p- und einer n-Polysiliziumschicht (23a und 23b) mit hoher Dotierung, die auf dem ersten vergrabenen Isolierfilm so hergestellt sind, daß sie durch einen isolierenden Oxidfilm (26) gegeneinander isoliert sind;
- einer n-Halbleiterschicht (20c) und einem ersten aktiven Bereich sowie einer p-Halbleiterschicht (20b) und einem zweiten aktiven Bereich, die in vorbestimmten Gebieten der p- und der n-Polysiliziumschicht so ausgebildet sind, daß sie gegeneinander isoliert sind, wobei die n-Halbleiterschicht gegen den ersten aktiven Bereich isoliert ist und die p-Halbleiterschicht gegen den zweiten aktiven Bereich isoliert ist;
- zweiten vergrabenen Isolierfilmen (25), die in der p- und der n-Polysiliziumschicht beabstandet voneinander ausgebildet sind, um die p-Halbleiterschicht (20b) und den ersten aktiven Bereich über die n-Polysiliziumschicht zu verbinden, und um die n-Halbleiterschicht und die zweite aktive Schicht über die n-Polysiliziumschicht zu verbinden;
- einer ersten und einer zweiten Gateelektrode (30a und 30b), die auf vorbestimmten Gebieten des ersten bzw. zweiten aktiven Bereichs ausgebildet sind;
- Sourcebereichen (34a und 32a) sowie Drainbereichen (34b und 32b), die im ersten und zweiten aktiven Bereich zu beiden Seiten der ersten bzw. zweiten Gateelektrode ausgebildet sind; und
- Kontaktkissen (36a, 37a, 38a oder 39a und 36f oder 37f, 38f oder 39f), die auf den p- und n-Polysiliziumschichten hergestellt sind.

7. SOI-Bauteil nach Anspruch 6, dadurch gekennzeichnet, daß der zweite vergrabene Isolierfilm (25) durch selektives Entfernen unter der p- und der n-Polysiliziumschicht und dem ersten und zweiten aktiven Bereich unter der ersten und zweiten Gateelektrode hergestellt ist.

8. SOI-Bauteil nach Anspruch 6, dadurch gekennzeichnet, daß der zweite vergrabene Isolierfilm (25) durch Ätzen unter der p- und der n-Polysiliziumschicht (23a und 23b) und den Sourcebereichen (34a und 32a) auf einer Seite sowohl des ersten als auch des zweiten aktiven Bereichs und einem Teil der ersten und zweiten Gateelektrode (30a und 30b) hergestellt ist.

9. SOI-Bauteil nach Anspruch 6, dadurch gekennzeichnet, daß der zweite vergrabene Isolierfilm (25) durch Entfernen unter der p- und der n-Polysiliziumschicht (23a und 23b) und mittleren Teilen der Sourcebereiche (34a und 32a), wie im ersten und zweiten aktiven Bereich ausgebildet, hergestellt ist.

10. SOI-Bauteil nach Anspruch 6, dadurch gekennzeichnet, daß der zweite vergrabene Isolierfilm (25) durch Ätzen unter der p- und der n-Polysiliziumschicht (23a und 23b) und Teilen des ersten und zweiten aktiven Bereichs hergestellt ist.

11. Verfahren zum Herstellen eines SOI-Bauteils mit den folgenden Schritten:

Herstellen erster Oxidfilme (21) auf einem ersten Halbleitersubstrat (20) in solcher Weise, daß sie einen vorbestimmten gegenseitigen Abstand einhalten;

- Herstellen erster vergrabener Oxidschichten (22) in solcher Weise, daß vorbestimmte Gebiete des ersten Halbleitersubstrats zwischen den ersten Oxidfilmen freigelegt sind;

- Herstellen einer undotierten Polysiliziumschicht (23) auf dem ersten Halbleitersubstrat einschließlich der ersten vergrabenen Oxidschicht;

- Herstellen einer zweiten vergrabenen Oxidschicht (25) auf einem zweiten Halbleitersubstrat (24);

- Verbinden der undotierten Polysiliziumschicht mit der zweiten vergrabenen Oxidschicht;

- Polieren des ersten Halbleitersubstrats, bis die ersten Oxidfilme freigelegt sind, um Halbleiterschichten (20a) eines ersten und eines zweiten Bereichs auszubilden;

- Implantieren von Ionen in die undotierte Polysiliziumschicht (23), um eine p- oder eine n-Polysiliziumschicht (23a oder 23b) hoher Dotierung auszubilden;

- Herstellen einer Gateelektrode (30a oder 30b) auf der Halbleiterschicht im ersten Bereich;

- Implantieren von Ionen in die Halbleiterschicht im zweiten Bereich, um eine p- oder eine n-Halbleiterschicht (20b) oder (20c) auszubilden;

- Herstellen eines Sourcebereichs (34a oder 32a) oder eines Drainbereichs (34b oder 32b) in der ersten Halbleiterschicht des ersten Bereichs zu beiden Seiten der Gateelektroden; und

- Herstellen eines Kontaktkissens (36a, 37a, 38a, 39a oder 36f, 37f, 38f, 39f) in Kontakt mit der p- oder der n-Halbleiterschicht, und gleichzeitiges Herstellen von Leitungsschichten (36b und 36c, 37b und 37c, 38b und 38c, 39b und 39c) in Kontakt mit dem Sourcebereich und dem Drainbereich.

12. Verfahren nach Anspruch 11, dadurch gekennzeichnet, daß die erste vergrabene Oxidschicht (22) durch Entfernen unter der Gateelektrode (30a oder 30b) und der p- oder der n-Halbleiterschicht (20b oder 20c) unter den Kontaktkissen (36a, 37a, 38a, 39a oder 36f, 37f, 38f, 39f) hergestellt wird.

13. Verfahren nach Anspruch 11, dadurch gekennzeichnet, daß die erste vergrabene Oxidschicht (22) zum Verbinden der p- oder der n-Halbleiterschicht (20b oder 20c) unter dem Kontaktkissen (36a, 37a, 38a, 39a oder 36f, 37f, 38f, 39f) und einem Teil des Sourcebereichs (34a oder 32a) zu einer Seite der Gateelektrode (30a oder 30b) hergestellt wird.

14. Verfahren nach Anspruch 11, dadurch gekennzeichnet, daß die erste Oxidschicht (22) so hergestellt wird, daß die p- oder die n-Halbleiterschicht (20b oder 20c) unter dem Kontaktkissen (36a, 37a, 38a, 39a oder 36f, 37f, 38f, 39f), dem mittleren Teil des Sourcebereichs (34a oder 32a) zu einer Seite der Gateelektrode (30a oder 30b) sowie der angrenzenden Gateelektrode (30a oder 30b) freigelegt werden.

15. Verfahren nach Anspruch 11, dadurch gekennzeichnet, daß der erste vergrabene Oxidfilm (22) so hergestellt wird, daß die p- oder die n-Halbleiterschicht (20b oder 20c) und ein Teil eines aktiven Bereichs freigelegt werden.

16. Verfahren zum Herstellen eines SOI-Bauteils mit den folgenden Schritten:

- Herstellen erster Oxidfilme (21) auf einem ersten Halbleitersubstrat (20) in solcher Weise, daß sie einen vorbestimmten gegenseitigen Abstand einhalten;
- Herstellen erster vergrabener Oxidfilme (22) auf dem ersten Halbleitersubstrat, um vorbestimmte Gebiete des ersten Halbleitersubstrats zwischen den ersten Oxidfilmen, jedoch nicht zwischen den mittleren ersten Oxidfilmen freizulegen;
- Herstellen einer undotierten Polysiliziumschicht (23) auf dem ersten Halbleitersubstrat einschließlich der ersten vergrabenen Oxidfilme;
- Herstellen eines zweiten vergrabenen Oxidfilms (25) auf einem zweiten Halbleitersubstrat (24);
- Verbinden der undotierten Polysiliziumschicht und des zweiten vergrabenen Oxidfilms;
- Polieren des ersten Halbleitersubstrats, bis der erste Oxidfilm freigelegt ist, um Halbleiterschichten (20a) eines ersten und eines zweiten Bereichs auszubilden,
- Ätzen des ersten Halbleitersubstrats, der ersten vergrabenen Oxidschicht und der undotierten Polysiliziumschicht, um den ersten vergrabenen Oxidfilm freizulegen, um einen isolierenden Oxidfilm (26) herzustellen;
- Implantieren von Ionen in die undotierte Polysiliziumschicht auf einer Seite des isolierenden Oxidfilms, um eine stark dotierte Polysiliziumschicht (23a) auszubilden;
- Implantieren von Ionen in die undotierte Polysiliziumschicht auf der anderen Seite des isolierenden Oxidfilms, um eine stark dotierte n-Polysiliziumschicht (23b) auszubilden;
- Herstellen einer ersten und einer zweiten Gateelektrode (30a und 30b) auf den Halbleiterschichten des ersten bzw. zweiten Bereichs;
- Herstellen einer p-Halbleiterschicht (20b) auf der Halbleiterschicht des zweiten Bereichs zu einer Seite des isolierenden Oxidfilms sowie gleichzeitig eines Sourcebereichs (32a) und eines Drainbereichs (32b) in der Halbleiterschicht zu beiden Seiten der zweiten Gateelektrode des ersten Bereichs auf der anderen Seite des isolierenden Oxidfilms;
- Herstellen einer n-Halbleiterschicht (20b) auf der Halbleiterschicht des zweiten Bereichs auf der anderen Seite des isolierenden Oxidfilms und gleichzeitig eines Sourcebereichs (34a) und eines Drainbereichs (34b) in der Halbleiterschicht des ersten Bereichs zu beiden Seiten der ersten Gateelektrode auf einer Seite des isolierenden Oxidfilms; und
- Herstellen von Kontaktkissen (36a, 37a, 38a, 39a und 36f, 37f, 38f, 39f) in Kontakt mit der p- und der n-Halbleiterschicht, und gleichzeitiges Herstellen von Leitungsschichten (36b, 36c, 36d, 36e und 37b, 37c, 37d, 37e und 38b, 38c, 38d, 38e und 39b, 39c, 39d, 39e) in Kontakt mit dem Source- und dem Drainbereich zu beiden Seiten der ersten und der zweiten Gateelektrode.

17. Verfahren nach Anspruch 16, dadurch gekennzeichnet, daß die ersten vergrabenen Oxidschichten (22) unter der p- und der n-Halbleiterschicht (20b und 20c) für Kontaktkissen (36a, 37a, 38a, 39a und 36f,

37f, 38f, 39f) und der ersten und zweiten Gateelektrode (30a und 30b) entfernt werden.

18. Verfahren nach Anspruch 16, dadurch gekennzeichnet, daß die ersten vergrabenen Oxidschichten (22) so hergestellt werden, daß sie die p- und die n-Halbleiterschicht (20b und 20c) mit vorbestimmten Gebieten für die Sourcebereiche (34a und 32a) auf einer Seite der ersten und zweiten Gateelektrode (30a und 30b) verbinden.

19. Verfahren nach Anspruch 16, dadurch gekennzeichnet, daß die ersten vergrabenen Oxidschichten (22) so hergestellt werden, daß sie die p- und die n-Halbleiterschicht (20b und 20c) und die mittleren Teile der Sourcebereiche (34a und 32a) auf einer Seite der ersten und zweiten Gateelektrode (30a und 30b) sowie angrenzende Teile für die erste und zweite Gateelektrode (30a und 30b) freilegen.

20. Verfahren nach Anspruch 16, dadurch gekennzeichnet, daß die ersten vergrabenen Oxidschichten (22) so hergestellt werden, daß sie die p- und die n-Halbleiterschicht (20b und 20c) für Kontaktkissen sowie vorbestimmte Gebiete der Halbleiterschicht (20a) des ersten Bereichs mit Ausnahme für die erste und zweite Gateelektrode (30a und 30b) und die Sourcebereiche (34a und 32a) freilegen.

Hierzu 11 Seite(n) Zeichnungen

- Leerseite -

FIG.1

STAND DER TECHNIK

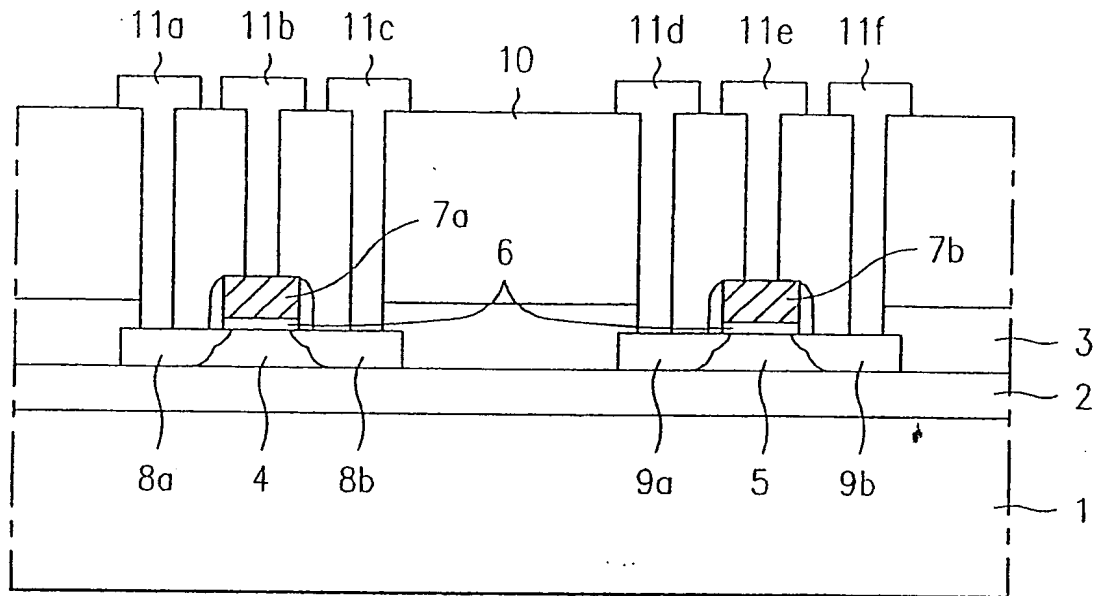


FIG.2A

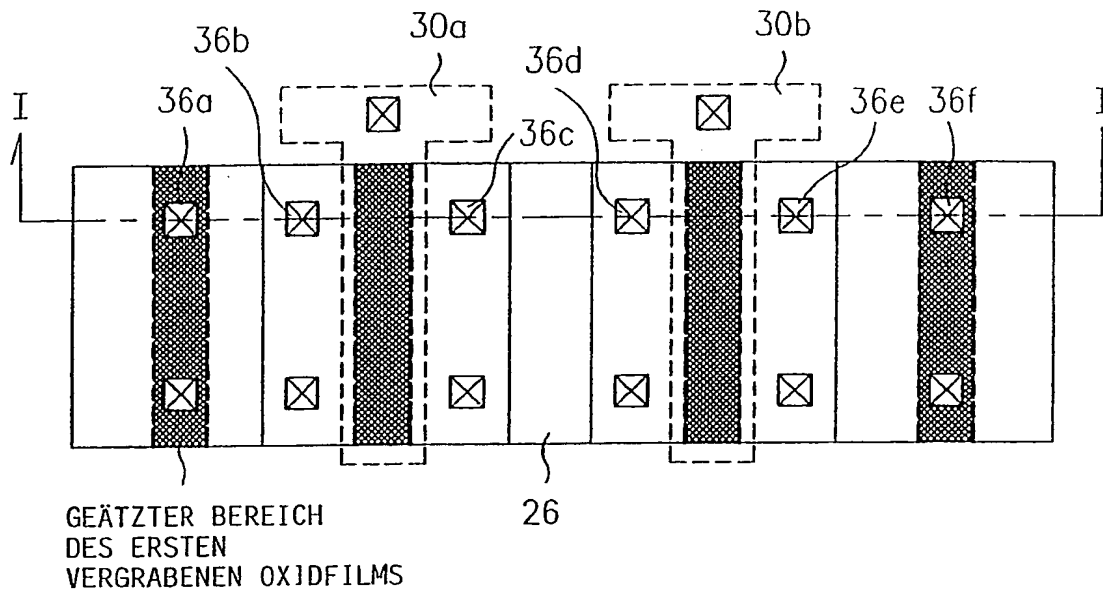


FIG.2B

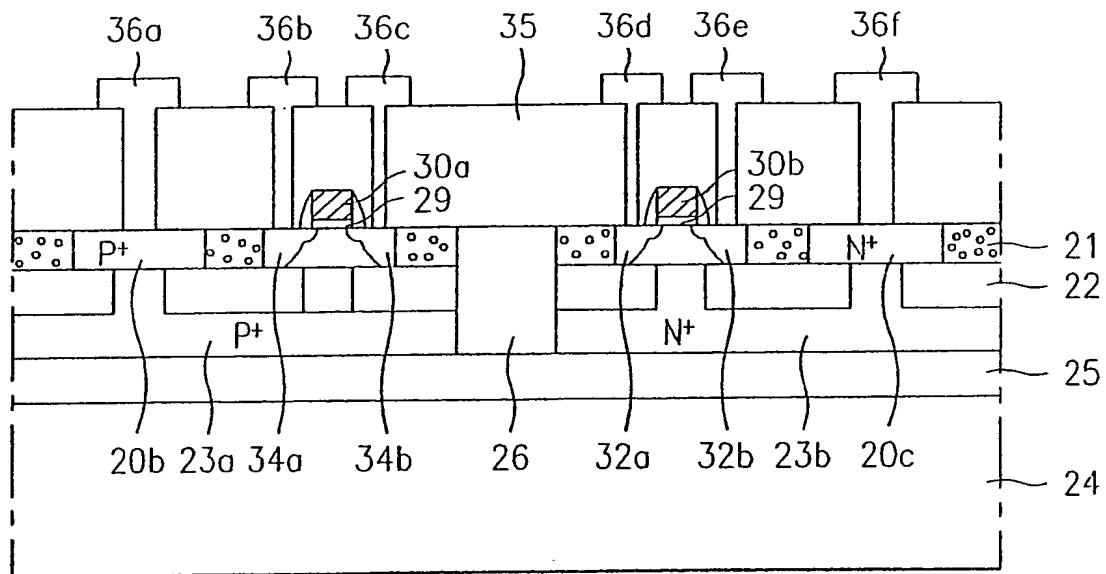


FIG.3A

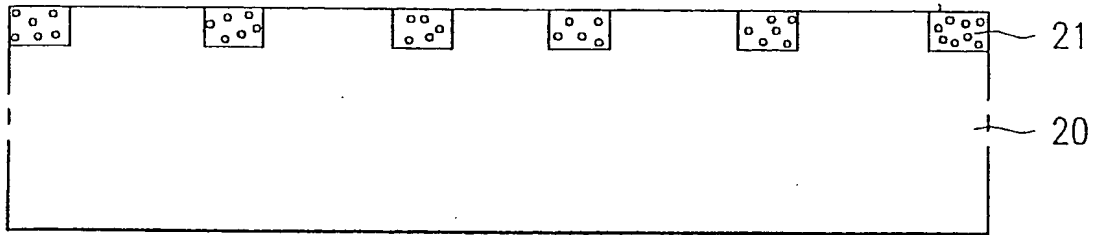


FIG.3B

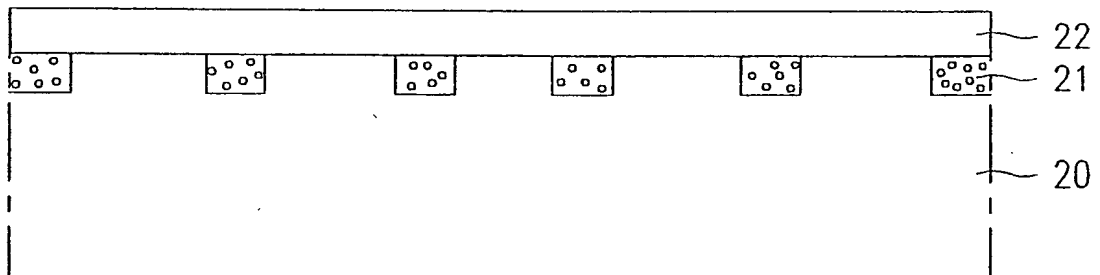


FIG.3C

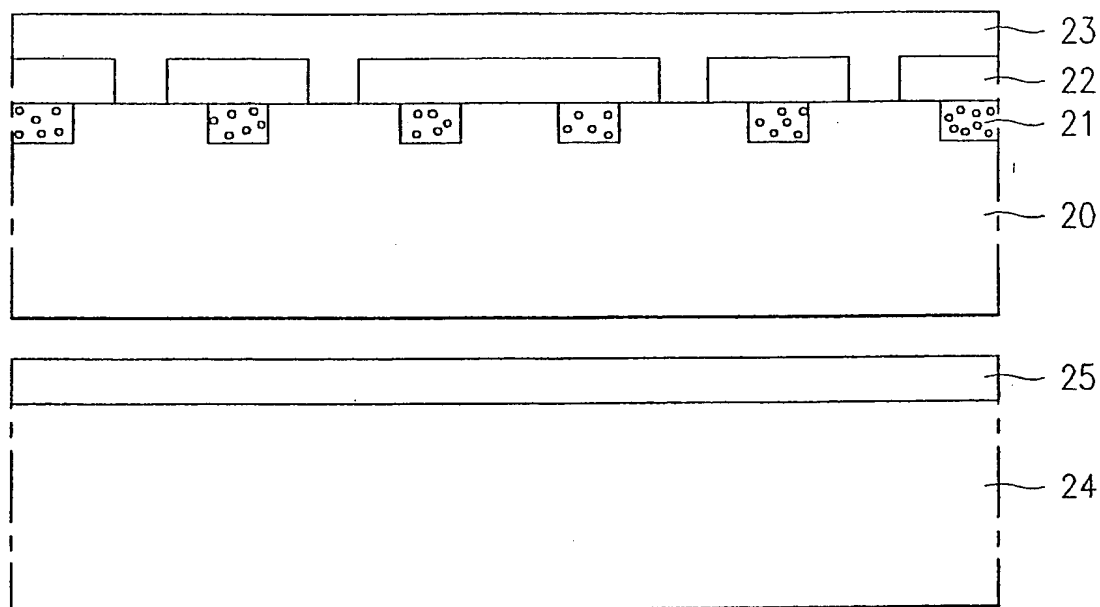


FIG.3D

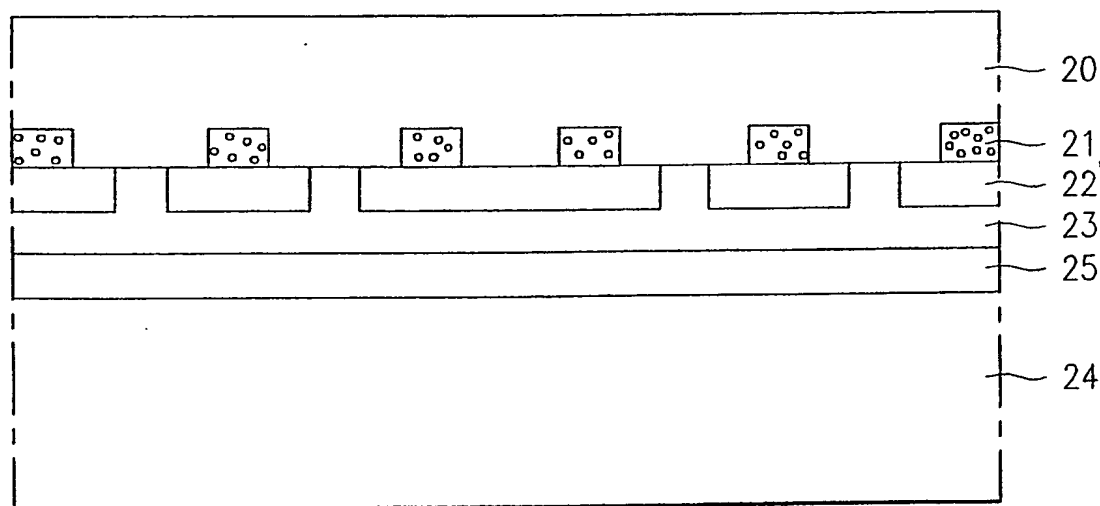


FIG.3E

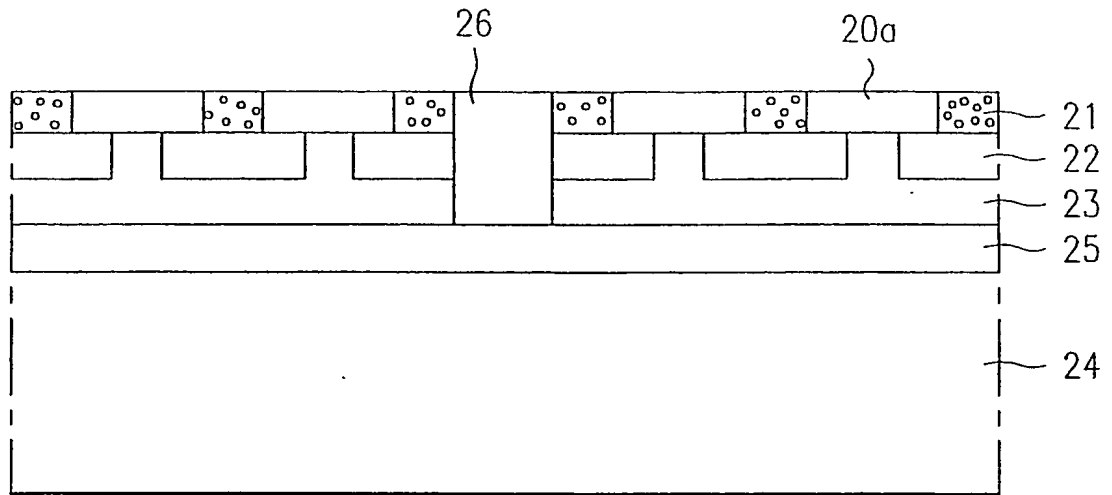


FIG.3F

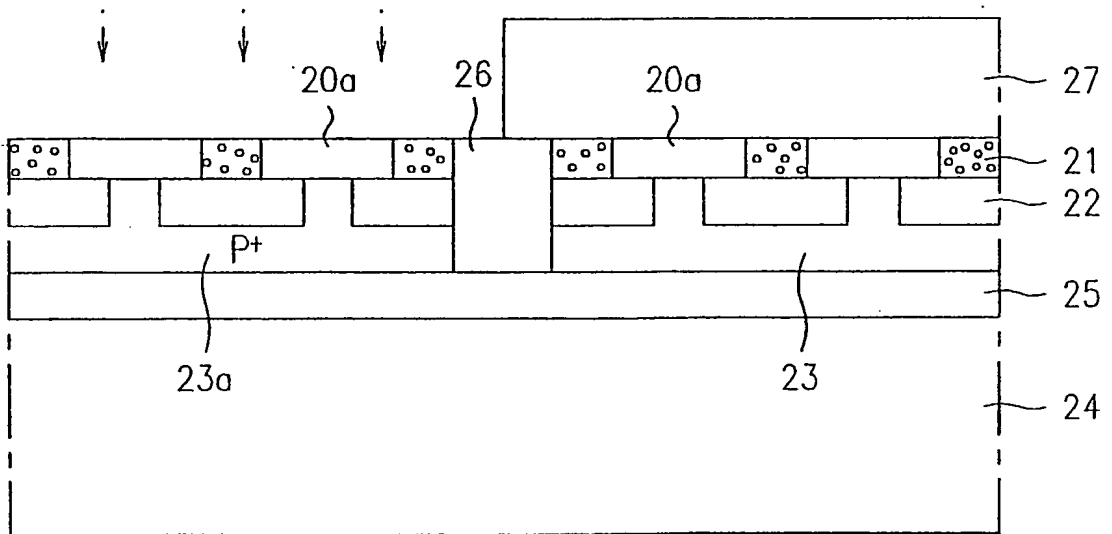


FIG.3G

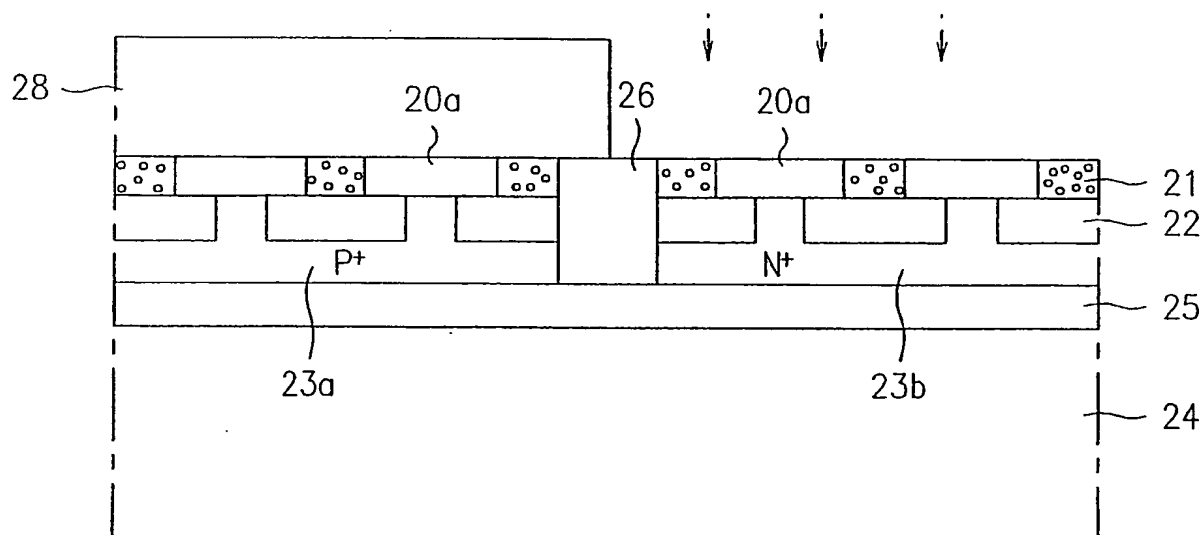
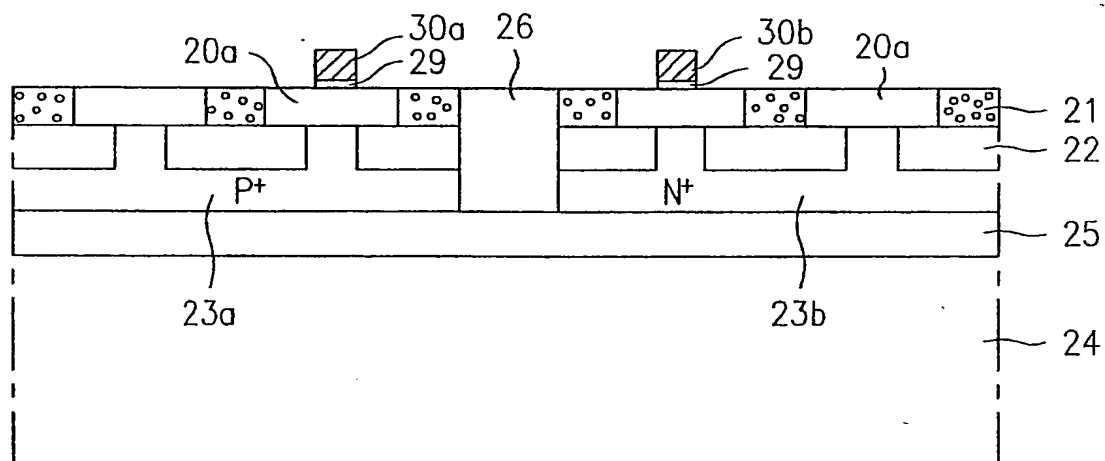


FIG.3H



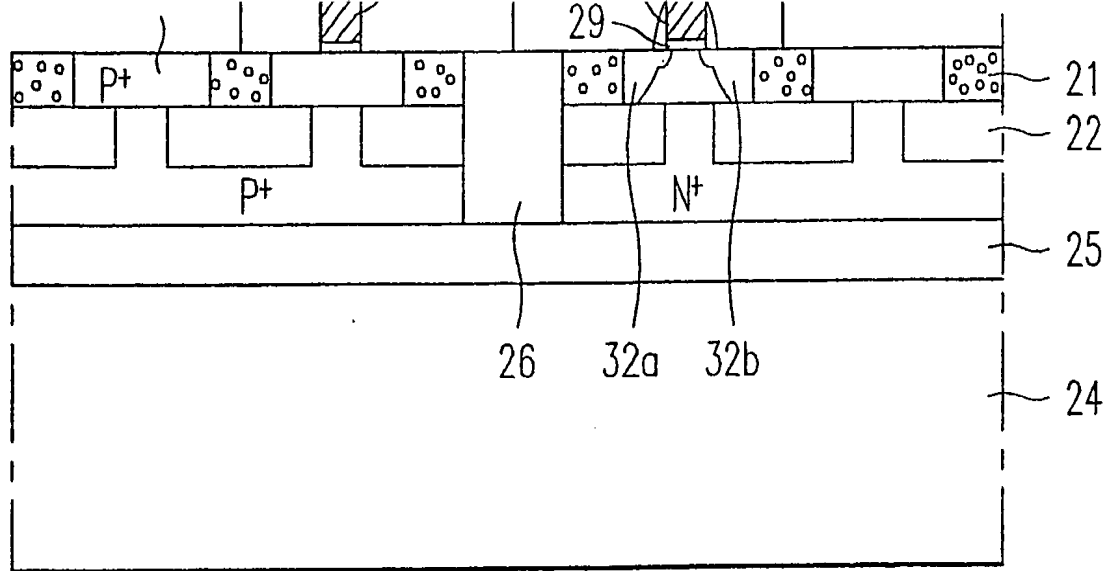


FIG. 3J

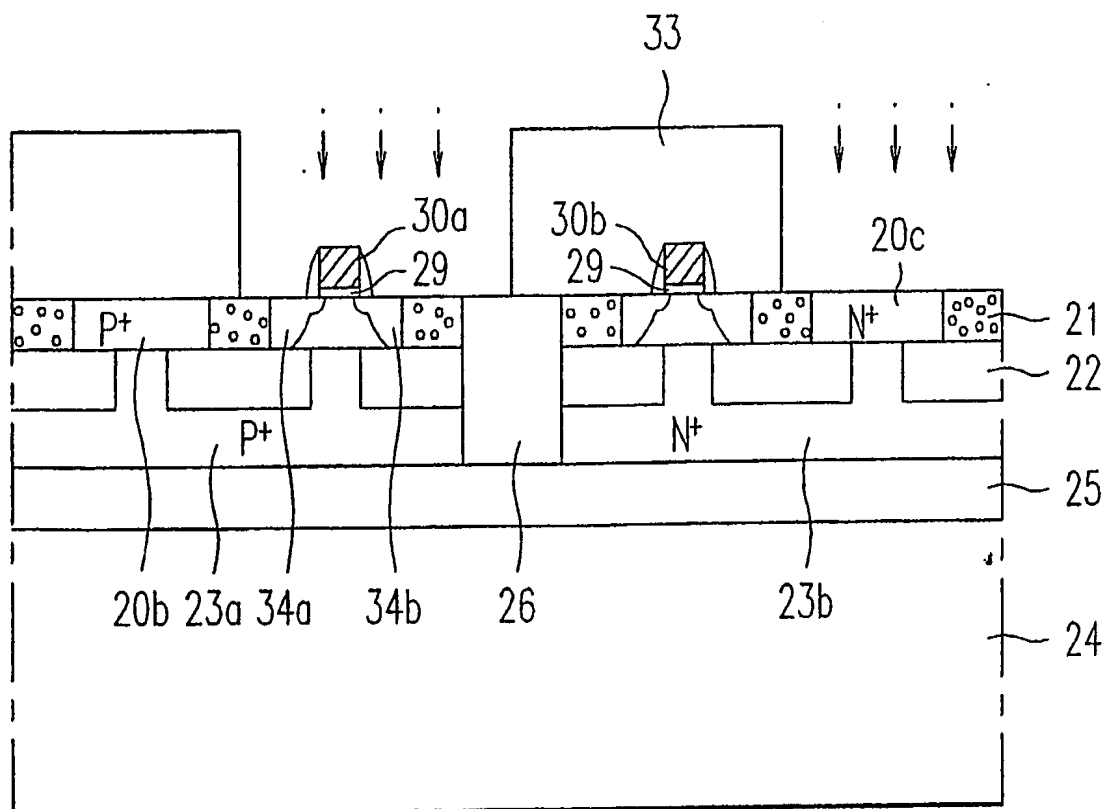


FIG.3K

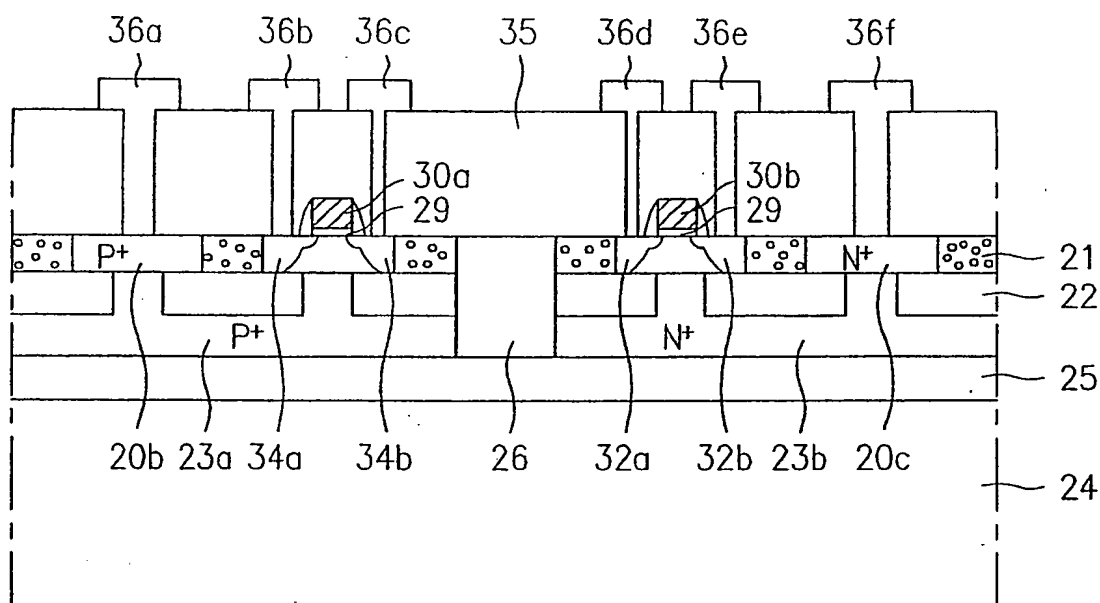


FIG. 4A

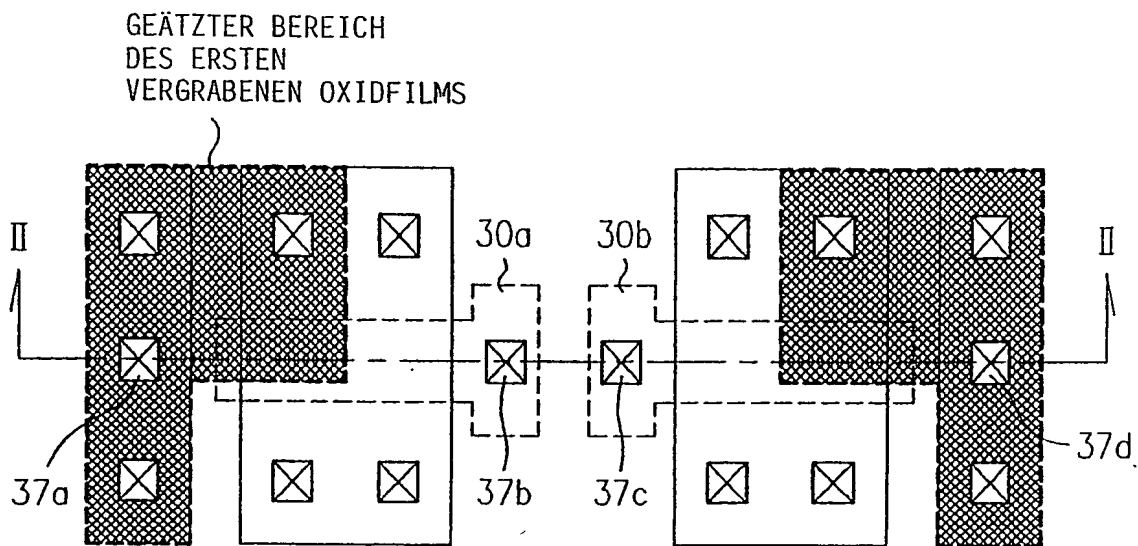


FIG. 4B

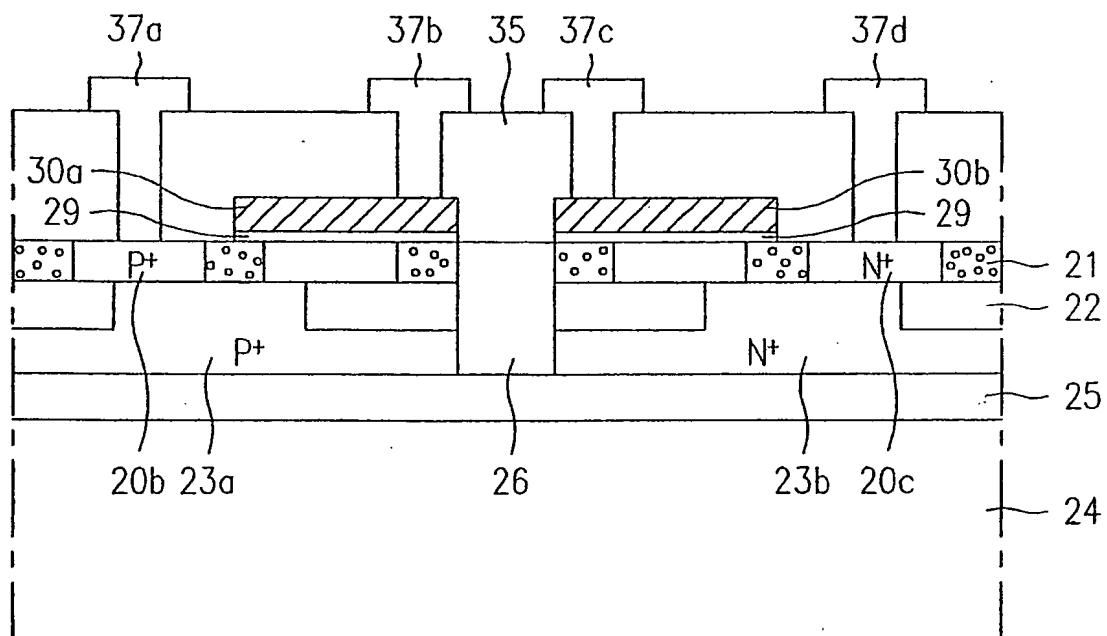


FIG.5A

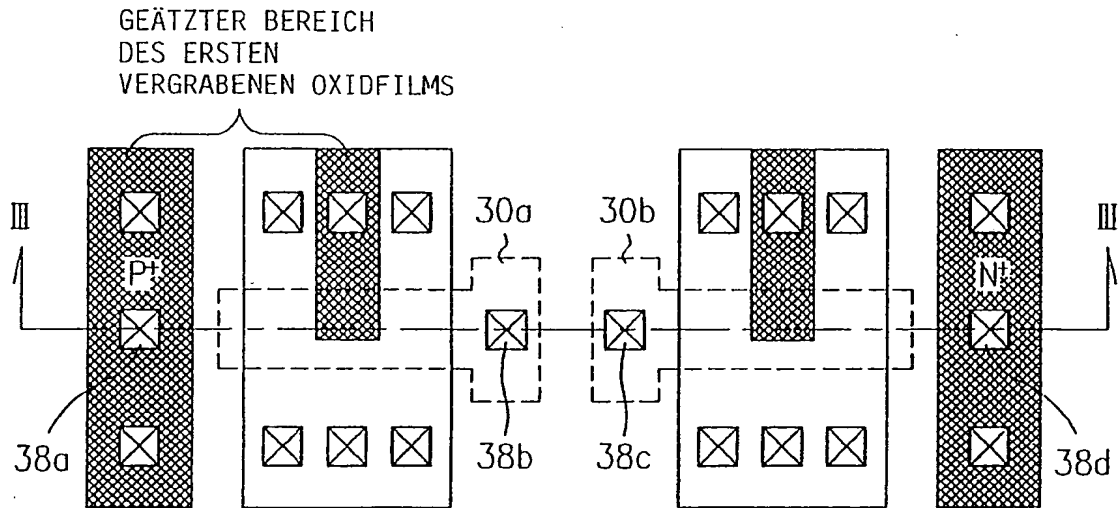


FIG.5B

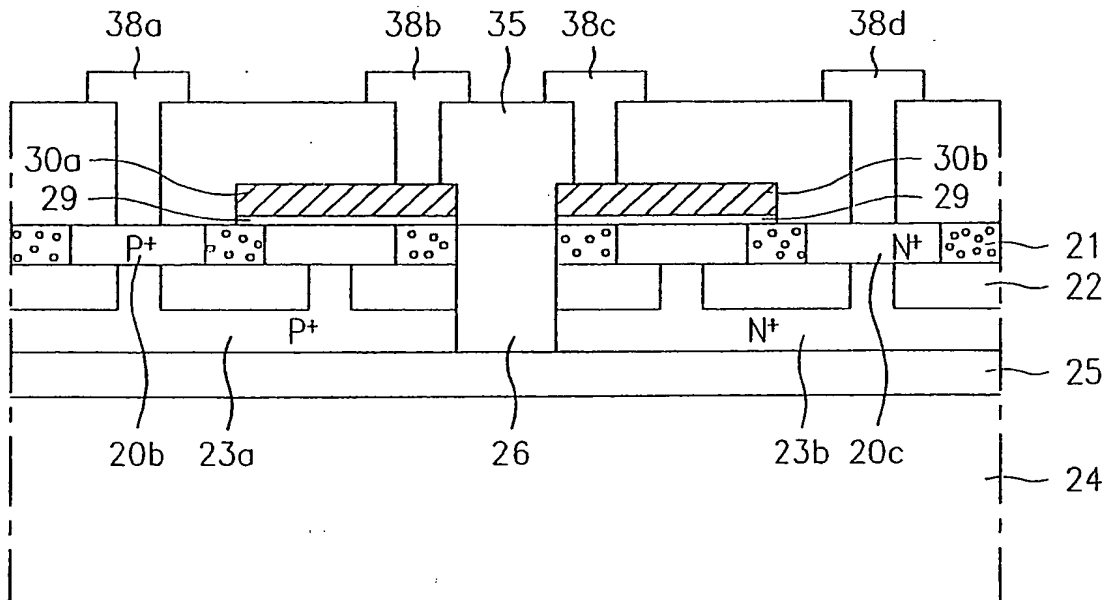


FIG. 6A

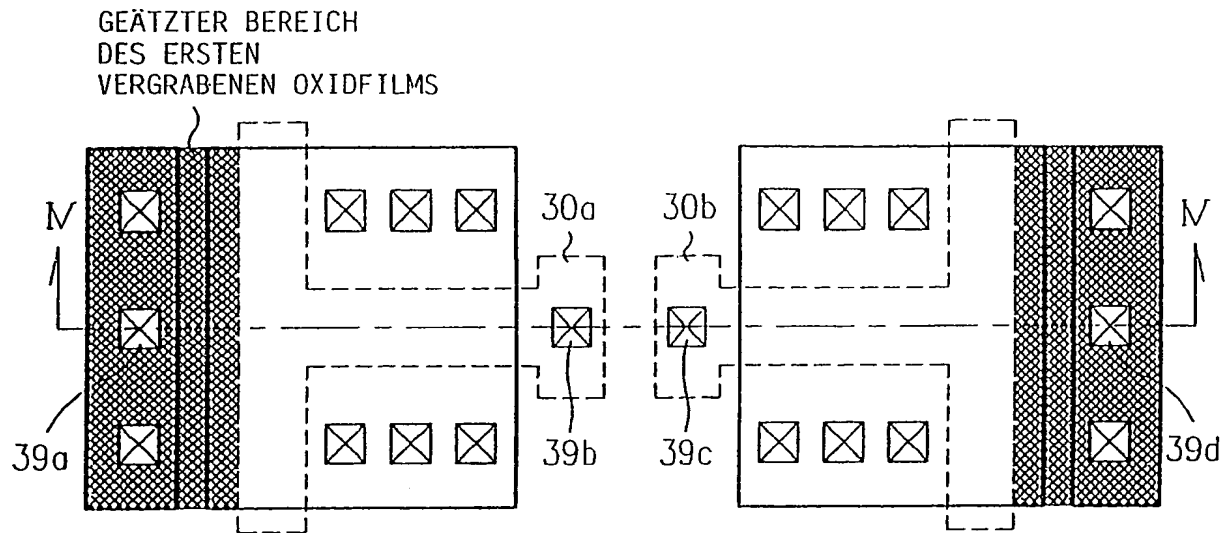
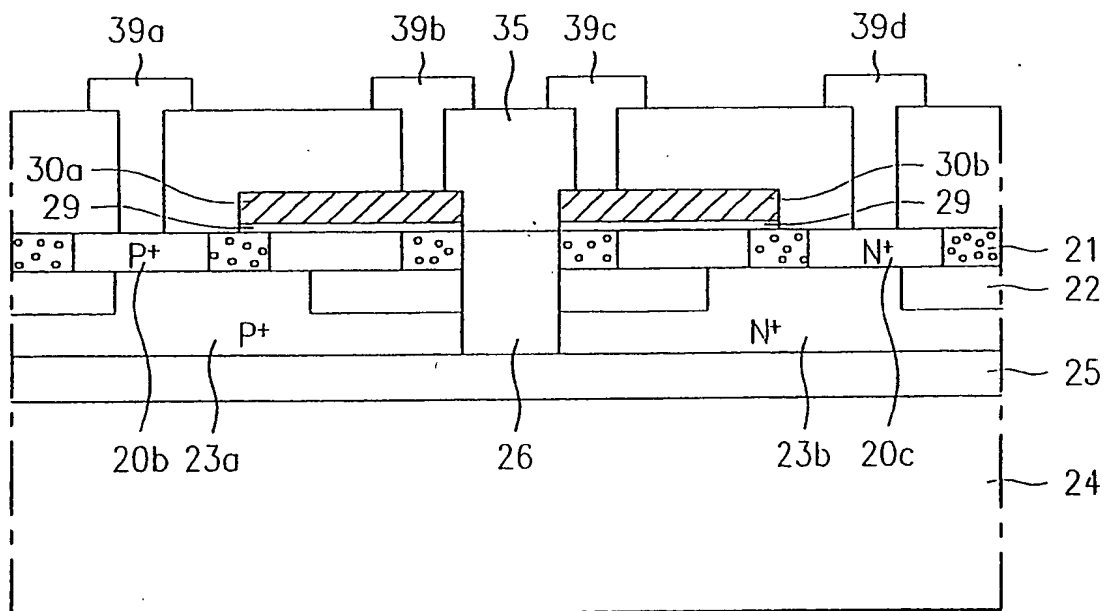


FIG. 6B



THIS PAGE BLANK (USPTO)